

# MODUL PRAKTIKUM *PHASE LOCKED LOOP* DISKRET

oleh

Joel Patra Tirtayasa

NIM: 612011010



Skripsi

Untuk melengkapi salah satu syarat memperoleh

Gelar Sarjana Teknik

Program Studi Teknik Elektro

Fakultas Teknik Elektronika dan Komputer

Universitas Kristen Satya Wacana

Salatiga

Desember 2015



PERPUSTAKAAN UNIVERSITAS  
UNIVERSITAS KRISTEN SATYA WACANA  
Jl. Diponegoro 52 – 60 Salatiga 50711  
Jawa Tengah, Indonesia  
Telp. 0298 – 321212, Fax. 0298 321433  
Email: library@adm.uksw.edu ; http://library.uksw.edu

## PERNYATAAN PERSETUJUAN AKSES

Saya yang bertanda tangan di bawah ini:

Nama : Joel Patra Tirtayasa  
NIM : 612011010 Email : Joel\_tirtayasa@yahoo.com  
Fakultas : Teknik Elektro Program Studi : Teknik Elektro  
Judul tugas akhir : Modul Praktikum Phase Locked Loop Diskret

Dengan ini saya menyerahkan hak *non-eksklusif*\* kepada Perpustakaan Universitas – Universitas Kristen Satya Wacana untuk menyimpan, mengatur akses serta melakukan pengelolaan terhadap karya saya ini dengan mengacu pada ketentuan akses tugas akhir elektronik sebagai berikut (beri tanda pada kotak yang sesuai):

- ☒ a. Saya mengizinkan karya tersebut diunggah ke dalam aplikasi Repositori Perpustakaan Universitas, dan/atau portal GARUDA
- ☐ b. Saya tidak mengizinkan karya tersebut diunggah ke dalam aplikasi Repositori Perpustakaan Universitas, dan/atau portal GARUDA\*\*

\* Hak yang tidak terbatas hanya bagi satu pihak saja. Pengajar, peneliti, dan mahasiswa yang menyerahkan hak non-eksklusif kepada Repositori Perpustakaan Universitas saat mengumpulkan hasil karya mereka masih memiliki hak copyright atas karya tersebut.

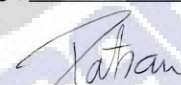
\*\* Hanya akan menampilkan halaman judul dan abstrak. Pilihan ini harus dilampiri dengan penjelasan/ alasan tertulis dari pembimbing TA dan diketahui oleh pimpinan fakultas (dekan/kaprodi).

Demikian pernyataan ini saya buat dengan sebenarnya.

Salatiga, 02-02-2016

Mengetahui,

  
Tanda tangan & nama terang pembimbing I  
Budi hardja Murtianta

  
Joel Patra Tirtayasa  
Tanda tangan & nama terang mahasiswa

  
Tanda tangan & nama terang pembimbing II  
Fransiskus Dalu setiaji



## PERNYATAAN TIDAK PLAGIAT

Saya yang bertanda tangan di bawah ini:

Nama : Joel Patra Tirtayasa  
NIM : 612011010 Email : Joel\_tirtayasa@yahoo.com  
Fakultas : Teknik Elektro Program Studi : Teknik Elektro  
Judul tugas akhir : Model Praktikum Phase Locked Loop Diskret

Pembimbing : 1. Budihardja Mustianta, M.Eng.  
2. Fransiskus Dalu Setiaji, MT.

Dengan ini menyatakan bahwa:

1. Hasil karya yang saya serahkan ini adalah asli dan belum pernah diajukan untuk mendapatkan gelar kesarjanaan baik di Universitas Kristen Satya Wacana maupun di institusi pendidikan lainnya.
2. Hasil karya saya ini bukan saduran/terjemahan melainkan merupakan gagasan, rumusan, dan hasil pelaksanaan penelitian/implementasi saya sendiri, tanpa bantuan pihak lain, kecuali arahan pembimbing akademik dan narasumber penelitian.
3. Hasil karya saya ini merupakan hasil revisi terakhir setelah diujikan yang telah diketahui dan disetujui oleh pembimbing.
4. Dalam karya saya ini tidak terdapat karya atau pendapat yang telah ditulis atau dipublikasikan orang lain, kecuali yang digunakan sebagai acuan dalam naskah dengan menyebutkan nama pengarang dan dicantumkan dalam daftar pustaka.

Pernyataan ini saya buat dengan sesungguhnya. Apabila di kemudian hari terbukti ada penyimpangan dan ketidakbenaran dalam pernyataan ini maka saya bersedia menerima sanksi akademik berupa pencabutan gelar yang telah diperoleh karena karya saya ini, serta sanksi lain yang sesuai dengan ketentuan yang berlaku di Universitas Kristen Satya Wacana.

Salatiga, 03 - Februari 2016



Tanda tangan & nama terang m. siswa  
Joel Patra Tirtayasa

**MODUL PRAKTIKUM *PHASE LOCKED LOOP* DISKRET**

oleh

Joel Patra Tirtayasa

NIM: 612011010

Skripsi ini telah diterima dan disahkan  
Untuk melengkapi salah satu syarat memperoleh

Gelar Sarjana Teknik

dalam

Program Studi Teknik Elektro

Fakultas Teknik Elektronika Dan Komputer

Universitas Kristen Satya Wacana

Salatiga

Disahkan oleh

Pembimbing I

Budihardja Murtianta, M. Eng.

Tanggal : 18/12/15

Pembimbing II

F. D. Setiaji, M.T.

Tanggal : 18/12/15



## PERNYATAAN BEBAS PLAGIAT

Saya, yang bertanda tangan di bawah ini:

NAMA : Joel Patra Tirtayasa

NIM : 612011010

JUDUL SKRIPSI: MODUL PRAKTIKUM *PHASE LOCKED LOOP*

Menyatakan bahwa skripsi tersebut di atas bebas plagiat. Apabila ternyata ditemukan di unsur plagiat di dalam skripsi saya, maka saya bersedia mendapatkan sanksi apa pun sesuai aturan yang berlaku.

Salatiga, Desember 2015



Joel Patra Tirtayasa

## INTISARI

Skripsi ini bertujuan untuk merancang modul praktikum sistem *Phase Locked Loop (PLL)* diskret dan aplikasinya.

Karena penggunaan sistem PLL cukup praktis, pengguna sistem PLL tidak harus mengetahui karakteristik internal sistem. Berbeda dengan menggunakan IC PLL jadi, sistem PLL secara diskrit dibuat dari modul-modul terpisah, sehingga penggunaannya diharapkan dapat lebih memahami sistem PLL

Dalam skripsi ini, digunakan VCO yang terdapat di dalam IC CD4046. Terdapat tiga jenis tapis lolos bawah yang dipakai yaitu, tapis lolos bawah pasif orde 1, tapis *lag-lead*, dan tapis lolos bawah pasif orde 2. Sedangkan *phase detector* menggunakan gerbang logika XOR TTL. Adapun modul-modul praktikum PLL dapat menjelaskan cara menghitung nilai frekuensi *free running*, frekuensi maksimum dan minimum pada VCO, pengaruh dari tapis lolos bawah pada sistem PLL, dan pengaruh modul-modul PLL terhadap panjangnya *locked range* dan *capture range* pada sistem.

Hasil pengujian menunjukkan VCO yang digunakan dapat menghasilkan frekuensi keluaran dalam rentang 0Hz ~ 200kHz. Sedangkan sistem PLL diskret yang dirancang dapat mengunci sinyal masukan pada rentang frekuensi 10Hz ~ 200kHz, dengan tegangan amplitudo sinyal masukan antara -30mV ~ 12V.

## ABSTRACT

This thesis aims to design experimental module system Phase Locked Loop (PLL) and discrete applications.

Due to the use of a PLL system is quite practical, PLL system users do not have to know the internal characteristics of the system. Different to using your own PLL IC, discrete PLL system is made of separate modules, so that the user is expected to better understand the PLL system

In this thesis, used VCO contained in IC CD4046. There are three types of filter that is used to qualify under that, passive low pass filter first order, lag-lead filter and passive low pass filter second order. The phase detector using XOR logic gates TTL. The lab PLL modules can explain how to calculate the value of the frequency free running, the maximum and minimum frequency on the VCO, the effect of low pass filter in the PLL system, and the effect modules locked PLL to its length range and capture range of the system.

The test results show that VCO can produce an output frequency in the range 0Hz ~ 200kHz. While the system is designed discrete PLL can lock to the input signal frequency range of 10Hz ~ 200kHz, the voltage amplitude of the input signal between -30mV ~ 12V.

## KATA PENGANTAR

Puji dan syukur penulis panjatkan kepada Tuhan Yang Maha Esa yang selalu menyertai penulis selama menempuh pendidikan dari awal hingga penyelesaian tugas akhir sebagai syarat kelulusan di Fakultas Teknik Elektronika dan Komputer Universitas Kristen Satya Wacana.

Pada kesempatan ini penulis ingin mengucapkan terima kasih kepada berbagai pihak yang baik secara langsung maupun tidak langsung telah membantu penulis dalam menyelesaikan tugas akhir ini:

1. Tuhan Yesus yang selalu memberkati, menyertai, dan memberikan segala yang terbaik bagi penulis selama menempuh pendidikan S1 di FTEK UKSW hingga selesai.
2. Papa Irwan Loekman Tirtayasa, kakak Tara Karina Tercinta, iie-iie Agatha, dan iie-iie Julie tercinta sebagai keluarga yang telah selalu mendidik, mendukung, dan mendoakan penulis.
3. Bapak Fransiskus Dalu Setiaji dan Bapak Budihardja Murtianta selaku dosen pembimbing yang telah membantu, membimbing, memberikan saran serta masukan kepada penulis selama mengerjakan tugas akhir ini.
4. Teman-teman kosan Seruni, Terutama Wawan yang telah membantu banyak sekali dalam menyelesaikan tugas akhir ini.
5. Keluarga besar elektro angkatan 2011 yang selalu memberikan semangat dan mendukung dalam melakukan berbagai macam hal.
6. Seluruh staff dosen, karyawan dan laboran FTEK yang memfasilitasi penulis selama menempuh pendidikan S1 di FTEK UKSW terutama mas Kris, mbak Yola, mbak Rista dan mbak Ragil.
7. Berbagai pihak yang tidak dapat dituliskan satu persatu.



Penulis menyadari bahwa tugas akhir ini masih jauh dari kata “sempurna”, oleh karena itu penulis mengharapkan kritik dan saran dari pembaca sehingga tugas akhir ini dapat berguna bagi kemajuan pendidikan FTEK UKSW dan riset tim R2C UKSW.

Salatiga, 13 Agustus 2015

Penulis



## DAFTAR ISI

INTISARI .....	4
ABSTRACT.....	5
KATA PENGANTAR .....	6
DAFTAR ISI.....	8
DAFTAR GAMBAR .....	10
DAFTAR TABEL.....	13
PENDAHULUAN .....	<b>Error! Bookmark not defined.</b>
1.1. Tujuan.....	<b>Error! Bookmark not defined.</b>
1.2. Latar Belakang .....	<b>Error! Bookmark not defined.</b>
1.2.1. Pendahuluan.....	<b>Error! Bookmark not defined.</b>
1.2.2. Permasalahan .....	<b>Error! Bookmark not defined.</b>
1.3. Spesifikasi .....	<b>Error! Bookmark not defined.</b>
1.4. Sistematika Penulisan.....	<b>Error! Bookmark not defined.</b>
DASAR TEORI .....	<b>Error! Bookmark not defined.</b>
2.1. Phase Locked Loop (PLL) .....	<b>Error! Bookmark not defined.</b>
2.1.1. Detektor Fasa (PD) .....	<b>Error! Bookmark not defined.</b>
2.1.2. Tapis Lolos Bawah .....	<b>Error! Bookmark not defined.</b>
2.1.3. Voltage Controlled Oscillator (VCO).....	<b>Error! Bookmark not defined.</b>
PERANCANGAN SISTEM .....	<b>Error! Bookmark not defined.</b>
3.1 Voltage Controlled Oscillator (VCO) .....	<b>Error! Bookmark not defined.</b>
3.1.1. LM566 Sebagai Voltage Controlled Oscillator.....	<b>Error! Bookmark not defined.</b>
3.1.2. CD4046 Sebagai Voltage Controlled Oscillator.....	<b>Error! Bookmark not defined.</b>
3.2. Tapis Lolos Bawah.....	<b>Error! Bookmark not defined.</b>
3.3. Detektor Fase.....	<b>Error! Bookmark not defined.</b>

3.4. Pembagi Frekuensi (Divider) .....	<b>Error! Bookmark not defined.</b>
PENGUJIAN SISTEM .....	<b>Error! Bookmark not defined.</b>
4.1. Voltage Controlled Oscillator. ....	<b>Error! Bookmark not defined.</b>
4.1.1. Percobaan VCO dengan IC LM566.....	<b>Error! Bookmark not defined.</b>
4.1.2. Percobaan VCO Dengan IC CD4046. ....	<b>Error! Bookmark not defined.</b>
4.2. Percobaan dengan Tapis Lolos Bawah.....	<b>Error! Bookmark not defined.</b>
4.2.1. Percobaan dengan Tapis Lolos Bawah Pasif Orde 1.....	<b>Error! Bookmark not defined.</b>
4.2.2. Percobaan Menggunakan Tapis <i>Lag-Lead</i> . ...	<b>Error! Bookmark not defined.</b>
4.2.3. Percobaan Dengan Tapis Lolos Bawah Orde 2.....	<b>Error! Bookmark not defined.</b>
4.3. Percobaan Sistem <i>Phase Locked Loop</i> .....	<b>Error! Bookmark not defined.</b>
4.4. PLL Sebagai Pensintesis Frekuensi.....	<b>Error! Bookmark not defined.</b>
KESIMPULAN DAN SARAN.....	<b>Error! Bookmark not defined.</b>
5.1. Kesimpulan.....	<b>Error! Bookmark not defined.</b>
5.2. Saran Pengembangan .....	<b>Error! Bookmark not defined.</b>
DAFTAR PUSTAKA .....	<b>Error! Bookmark not defined.</b>

## DAFTAR GAMBAR

Gambar 2.1. Blok Diagram Dasar PLL. ....	Error! Bookmark not defined.
Gambar 2.2. Sistem kerja PLL.....	Error! Bookmark not defined.
Gambar 2.3. Detektor Fase Sebagai <i>Mixing</i> Sinyal .....	Error! Bookmark not defined.
Gambar 2.4. Sinyal dalam PLL.....	Error! Bookmark not defined.
Gambar 2.5. Tapis Lolos Bawah Pasif Orde 1.....	Error! Bookmark not defined.
Gambar 2.7. Tapis Lolos Bawah Pasif Orde 2.....	Error! Bookmark not defined.
Gambar 2.9. Rangkaian VCO Digital. ....	Error! Bookmark not defined.
Gambar 2.10. Fungsi frekuensi terhadap tegangan VCO. ....	Error! Bookmark not defined.
Gambar 2.11. Blok diagram PLL.....	Error! Bookmark not defined.
Gambar 3.1. Blok Diagram LM566.....	Error! Bookmark not defined.
Gambar 3.3. LM 566 Sebagai Voltage Controlled Oscillator. ....	Error! Bookmark not defined.
Gambar 3.4. Blok Diagram CD4046. ....	Error! Bookmark not defined.
Gambar 3.5. Rangkaian VCO Pada CD4046.....	Error! Bookmark not defined.
Gambar 3.6. Diagram Sistem PLL.....	Error! Bookmark not defined.
Gambar 3.7. Untai VCO dan Tapis Lolos Bawah Orde 1. ....	Error! Bookmark not defined.
Gambar 3.8. Rangkaian Penyearah Tegangan Vin .....	Error! Bookmark not defined.
Gambar 3.9. Rangkaian Tapis Lolos Rendah Pasif Orde 2. ....	Error! Bookmark not defined.
Gambar 3.10. Rangkaian Setara <i>thevenin</i> . ....	Error! Bookmark not defined.
Gambar 3.11. Tabel Kebenaran Gerbang <i>XOR</i> .....	Error! Bookmark not defined.
Gambar 3.12. Sinyal keluaran gerbang <i>XOR</i> . ....	Error! Bookmark not defined.
Gambar 3.13. Rentang Daerah Kunci Detektor Fase. ....	Error! Bookmark not defined.
Gambar 3.14. Rangkaian Detektor Fase dengan Gerbang <i>XOR</i> . ...	Error! Bookmark not defined.
Gambar 3.15. Pembagi Frekuensi. ....	Error! Bookmark not defined.
Gambar 3.16. Sistem PLL Dengan Divider Frekuensi. ....	Error! Bookmark not defined.

Gambar 3.16. D Flip Flop Sebagai Pembagi Setengah Frekuensi. **Error! Bookmark not defined.**

Gambar 3.17. Simbol D *Flip-Flop*. ..... **Error! Bookmark not defined.**

Gambar 3.18. Tabel Kebenaran D *flip-flop*. ..... **Error! Bookmark not defined.**

Gambar 3.19. Diagram Detak D *Flip-Flop*. ..... **Error! Bookmark not defined.**

Gambar 3.20. D Flip Flop Sebagai pembagi frekuensi. .... **Error! Bookmark not defined.**

Gambar 4.1. Rangkaian LM566 Sebagai VCO ..... **Error! Bookmark not defined.**

Gambar 4.1. Rangkaian LM566 Sebagai VCO. .... **Error! Bookmark not defined.**

Gambar 4.2. Keluaran VCO dengan masukan  $V_{in} = 9V$ . .... **Error! Bookmark not defined.**

Gambar 4.3. Keluaran VCO dengan masukan  $V_{in} = 10V$ . .... **Error! Bookmark not defined.**

Gambar 4.4. Keluaran VCO dengan masukan  $V_{in} = 11V$ . .... **Error! Bookmark not defined.**

Gambar 4.6. Grafik Frekuensi Keluaran dengan Tegangan Masukan. .... **Error! Bookmark not defined.**

Gambar 4.7. Keluaran VCO dengan masukan  $V_{in} = 9V$ . .... **Error! Bookmark not defined.**

Gambar 4.8. Keluaran VCO dengan masukan  $V_{in} = 10V$ . .... **Error! Bookmark not defined.**

Gambar 4.9. Keluaran VCO dengan masukan  $V_{in} = 11V$ . .... **Error! Bookmark not defined.**

Gambar 4.10. Grafik Diagram Tegangan Masukan Dengan Frekuensi Keluaran. .... **Error! Bookmark not defined.**

Gambar 4.12. Keluaran VCO dengan masukan  $V_{in} = 9V$ . .... **Error! Bookmark not defined.**

Gambar 4.13. Keluaran VCO dengan masukan  $V_{in} = 9.5V$ . .... **Error! Bookmark not defined.**

Gambar 4.14. Keluaran VCO dengan masukan  $V_{in} = 10V$ . .... **Error! Bookmark not defined.**

Gambar 4.15. Keluaran VCO dengan masukan  $V_{in} = 10.5V$ . .... **Error! Bookmark not defined.**

Gambar 4.16. Keluaran VCO dengan masukan  $V_{in} = 11V$ . .... **Error! Bookmark not defined.**

Gambar 4.17. Keluaran VCO dengan masukan  $V_{in} = 11.5V$ . .... **Error! Bookmark not defined.**

Gambar 4.19. Diagram Tegangan Masukan Dengan Frekuensi Keluaran. . **Error! Bookmark not defined.**

Gambar 4.20 Keluaran VCO pada Frekuensi 100kHz ~ 200kHz. **Error! Bookmark not defined.**



Gambar 4.21. CD4046 sebagai VCO.....**Error! Bookmark not defined.**

Gambar 4.22. Grafik Frekuensi Keluaran Terhadap Tegangan Masukan. .. **Error! Bookmark not defined.**

Gambar 4.26. Grafik Diagram Keluaran VCO. ....**Error! Bookmark not defined.**

Gambar 4.27. Untai Tapis Lolos Bawah Orde 1.....**Error! Bookmark not defined.**

Gambar 4.30. Nilai *ripple* keluaran LPF orde 1. ....**Error! Bookmark not defined.**

Gambar 4.32. Nilai *ripple* LPF dengan frekuensi *cut-off* 1061 Hz..... **Error! Bookmark not defined.**

Gambar 4.33. Nilai *ripple* LPF dengan frekuensi *cut-off* 3183 Hz..... **Error! Bookmark not defined.**

Gambar 4.34. Nilai *ripple* LPF dengan frekuensi *cut-off* 7957 Hz..... **Error! Bookmark not defined.**

Gambar 4.35. Nilai *ripple* LPF dengan frekuensi *cut-off* 10610 Hz..... **Error! Bookmark not defined.**

Gambar 4.36. Rangkaian Tapis Lolos Bawah Orde 1. ....**Error! Bookmark not defined.**

Gambar 4.37. Sinyal  $V_{in}$  pada LPF. ....**Error! Bookmark not defined.**

Gambar 4.38. Rangkaian Tapis *Lag-Lead*. ....**Error! Bookmark not defined.**

Gambar 4.40. Nilai *ripple* Tapis lag-lead dengan Frekuensi Penggal = 69Hz. ..**Error! Bookmark not defined.**

Gambar 4.41. Nilai *ripple* Tapis *lag-lead* dengan Frekuensi Penggal = 1125Hz..... **Error! Bookmark not defined.**

Gambar 4.42. Nilai *ripple* Tapis *lag-lead* dengan Frekuensi Penggal = 2250Hz..... **Error! Bookmark not defined.**

Gambar 4.43. Nilai *ripple* Tapis *lag-lead* dengan Frekuensi Penggal = 7502Hz..... **Error! Bookmark not defined.**

Gambar 4.44. Nilai *ripple* Tapis *lag-lead* dengan Frekuensi Penggal = 11254Hz..... **Error! Bookmark not defined.**

Gambar 4.45. Keluaran tapis lag-lead dengan  $f_c = 11254$  Hz. ....**Error! Bookmark not defined.**

Gambar 4.46. Rangkaian Tapis lolos bawah orde 2. ....**Error! Bookmark not defined.**

Gambar 4.48. Nilai *ripple* LPF Orde 2 dengan Frekuensi Penggal 498Hz. **Error! Bookmark not defined.**

Gambar 4.49. Nilai *ripple* LPF Orde 2 dengan Frekuensi Penggal 1068Hz. ....**Error! Bookmark not defined.**

Gambar 4.50. Nilai *ripple* LPF Orde 2 dengan Frekuensi Penggal 3132Hz**Error! Bookmark not defined.**

Gambar 4.51. Nilai *ripple* LPF Orde 2 dengan Frekuensi Penggal 7972Hz**Error! Bookmark not defined.**

Gambar 4.52. Nilai *ripple* LPF Orde 2 dengan Frekuensi Penggal 10650Hz. ....**Error! Bookmark not defined.**

Gambar 4.55. Sistem PLL Secara Dasar.....**Error! Bookmark not defined.**

## DAFTAR TABEL

Tabel 4.1. Tabel Frekuensi Keluaran Terhadap Tegangan Masukan. .... **Error! Bookmark not defined.**

Tabel 4.2. Frekuensi Keluaran VCO dengan Nilai  $V_{DD} = 10V$ . ....**Error! Bookmark not defined.**

Tabel 4.3. Frekuensi Keluaran VCO dengan Nilai  $V_{DD} = 5V$ . ....**Error! Bookmark not defined.**

Tabel 4.4. Karakteristik Keluaran VCO dengan Rentang Frekuensi 8kHz ~ 12kHz ..... **Error! Bookmark not defined.**

Tabel 4.5. Tabel Keluaran LPF.....**Error! Bookmark not defined.**

Tabel 4.7. Tabel Keluaran Tapis *lag-lead*. ....**Error! Bookmark not defined.**

Tabel 4.8. Tabel keluaran tapis lolos bawah orde 2.....**Error! Bookmark not defined.**

Tabel 4.9. Nilai *Locked* dan *Capture Range* Menggunakan Tapis Lolos Bawah Orde 1..... **Error! Bookmark not defined.**

Tabel 4.10. Nilai *Locked* dan *Capture Range* Menggunakan Tapis *Lag-Lead*. .**Error! Bookmark not defined.**

Tabel 4.11. Nilai *Locked* dan *Capture Range* Menggunakan Tapis Lolos Bawah Orde 2.... **Error! Bookmark not defined.**

Tabel 4.12. Perbedaan Nilai *Ripple* Ketiga Tapis.....**Error! Bookmark not defined.**

Tabel 4.13. Keluaran Sistem PLL Dengan Menggunakan Nilai Pembagi 2. ....**Error! Bookmark not defined.**

Tabel 4.14. Keluaran Sistem PLL Dengan Menggunakan Nilai Pembagi 8. ....**Error! Bookmark not defined.**



## DAFTAR SIMBOL

$f$	Frekuensi (Hz)
$\omega$	omega
$N$	Bilangan bulat
$D$	<i>Duty cycle</i>
$f_f$	Frekuensi <i>free running</i> .
$f_o$	<i>Center</i> frekuensi
$f_{osc}$	Frekuensi keluaran <i>voltage controlled oscillator</i> .
$f_{in}$	Frekuensi masukan sistem PLL
$V_{DD}$	Tegangan catu daya
$V_o$	Tegangan masukan VCO.
$V_e$	Tegangan Keluaran detektor fase
$V_{osc}$	Tegangan keluaran VCO.
$V_{in}$	Tegangan masukan sistem PLL
$K_o$	Konstanta sensitivitas frekuensi pada VCO
$k_1$	Konstanta frekuensi maksimum pada VCO
$k_2$	Konstanta frekuensi minimum pada VCO
$f_p$	Frekuensi penggal pada tapis lolos bawah
$f_c$	<i>Capture Range</i>
$f_L$	<i>Locked Range</i>
$L_c$	<i>locked time</i>
$K_d$	Konstanta penguatan detektor fasa
$\theta_e$	Fasa sinyal keluaran pada fase detektor.
$\theta_o$	Fasa sinyal keluaran pada VCO.

$\theta_i$	Fasa sinyal keluaran pada sinyal masukan.
$H_{(s)}$	Fungsi alih
$\tau$	Konstanta waktu
$R_T$	<i>Timing</i> resistor pada LM566
$C_T$	<i>Timing</i> capacitor pada LM566
$\Delta f$	Perubahan frekuensi keluaran pada VCO
$\Delta V$	Perubahan tegangan masukan pada VCO
$\Delta t$	Perubahan waktu pengisian dan pengosongan pada kapasitor
$f_{min}$	frekuensi minimum yang dapat dihasilkan oleh VCO
$f_{max}$	frekuensi maksimum yang dapat dihasilkan oleh VCO
$V_{th}$	Tegangan <i>thevenin</i>
$R_{th}$	Nilai hambatan <i>thevenin</i>



## DAFTAR SINGKATAN

PLL	<i>Phase Locked Loop</i>
VCO	<i>Voltage Controlled Oscillator</i>
PD	<i>Phase Detector</i>
LPF	<i>Low Pass Filter</i>
Xor	<i>Exclusive OR</i>
AC	<i>Alternating Current</i>
DC	<i>Direct Current</i>
FG	<i>Function Generator</i>

